

500 219

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 6 月 10 日 (10.06.2004)

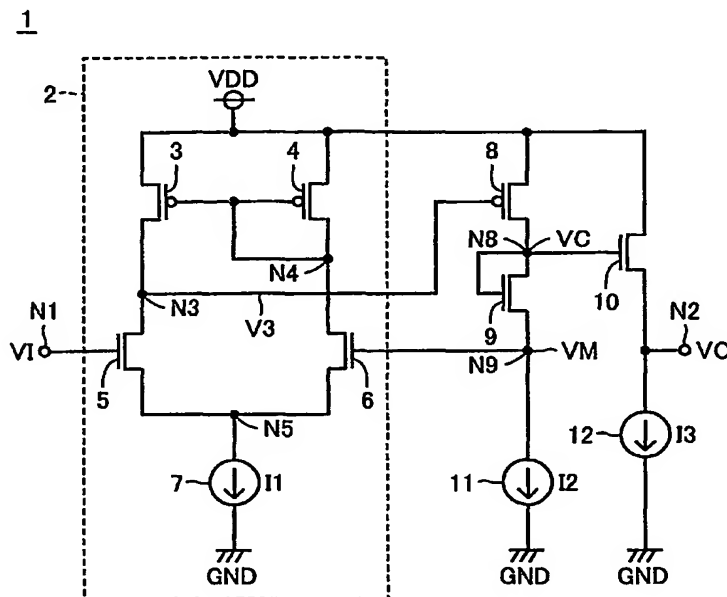
PCT

(10) 国際公開番号
WO 2004/049562 A1

- (51) 国際特許分類⁷: H03F 3/45, 3/30, 3/34 (74) 代理人: 深見 久郎, 外 (FUKAMI, Hisao et al.); 〒530-0054 大阪府 大阪市 北区南森町 2 丁目 1 番 2 9 号 三井住友銀行南森町ビル 深見特許事務所 Osaka (JP).
- (21) 国際出願番号: PCT/JP2002/012342
- (22) 国際出願日: 2002 年 11 月 26 日 (26.11.2002) (81) 指定国 (国内): CN, DE, JP, KR, US.
- (25) 国際出願の言語: 日本語 添付公開書類:
— 国際調査報告書
— 補正書
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都 千代田区 丸の内 二丁目 2 番 3 号 Tokyo (JP). 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 飛田 洋一 (TOBITA, Youichi) [JP/JP]; 〒100-8310 東京都 千代田区 丸の内 二丁目 2 番 3 号 三菱電機株式会社内 Tokyo (JP).

(54) Title: DRIVE CIRCUIT

(54) 発明の名称: 駆動回路



(57) Abstract: A drive circuit (1) includes a first N-type transistor (10) connected between a power supply potential (VDD) line and an output node (N2), a P-type transistor (8) connected between the power supply potential (VDD) line and the gate of the first N-type transistor (10), a second N-type transistor (9) diode-connected between the gate of the first N-type transistor (10) and a predetermined node (N9), and a differential amplifier circuit (2) for controlling the gate potential of the P-type transistor (8) so that potential (VM) of the predetermined node (9) is matched with an input potential (VI).

[続葉有]

WO 2004/049562 A1



(57) 要約:

この駆動回路（１）は、電源電位（VDD）のラインと出力ノード（N2）との間に接続された第１N型トランジスタ（10）と、電源電位（VDD）のラインと第１N型トランジスタ（10）のゲートとの間に接続されたP型トランジスタ（8）と、第１N型トランジスタ（10）のゲートと所定のノード（N9）との間にダイオード接続された第２N型トランジスタ（9）と、所定のノード（9）の電位（VM）が入力電位（VI）に一致するようにP型トランジスタ（8）のゲート電位を制御する差動増幅回路（2）とを備える。

明細書

駆動回路

5 技術分野

この発明は駆動回路に関し、特に、入力電位に応じた電位を出力ノードに出力する駆動回路に関する。

背景技術

10 図22は、従来の駆動回路130の構成を示す回路図である。図22において、この駆動回路130は、差動増幅回路131、P型電界効果トランジスタ（以下、P型トランジスタと称す）132および定電流回路133を備える。P型トランジスタ132は、電源電位VDDのラインと出力ノードN132との間に接続される。定電流回路133は、出力ノードN132から接地電位GNDのラインに
15 一定の電流を流出させる。差動増幅回路131の非反転入力端子は入力ノードN131の電位V_Iを受け、その反転入力端子は出力ノードN132の電位V_Oを受け、その出力端子はP型トランジスタ132のゲートに接続される。

出力電位V_Oが入力電位V_Iよりも高い場合は、差動増幅回路131の出力電位が上昇してP型トランジスタ132に流れる電流が減少し、出力電位V_Oが低
20 かする。出力電位V_Oが入力電位V_Iよりも低い場合は、差動増幅回路131の出力電位が低下してP型トランジスタ132に流れる電流が増加し、出力電位V_Oが上昇する。したがって、V_O=V_Iになる。

しかし、従来の駆動回路130では、出力電位V_Oが差動増幅回路131に直接フィードバックされているので、負荷容量が大きい場合に負荷容量が変動したり、入力電位V_Iが変動すると、発振現象が生じてしまうという問題があった。
25

発明の開示

それゆえに、この発明の主たる目的は、発振現象が生じにくい駆動回路を提供することである。

この発明に係る駆動回路は、入力電位に応じた電位を出力ノードに出力する駆動回路であって、第1の電源電位のラインと出力ノードとの間に接続された第1のトランジスタと、そのゲートおよび第1の電極が第1のトランジスタのゲートに接続され、その第2の電極が第1のノードに接続された第2のトランジスタと、第2および第3の電源電位のライン間に第2のトランジスタと直列接続された第3のトランジスタと、第1のノードの電位が入力電位に一致するように第3のトランジスタのゲート電位を制御する第1の差動増幅回路とを備えたものである。したがって、第1のノードの容量は出力ノードに接続される負荷容量に比べて十分に小さいので、発振現象は生じにくくなる。

図面の簡単な説明

図1は、この発明の実施の形態1によるプッシュ型駆動回路の構成を示す回路図である。

図2A～2Cの各々は、図1に示した定電流回路の構成を例示する回路図である。

図3は、実施の形態1の変更例を示す回路図である。

図4は、実施の形態1の他の変更例を示す回路図である

図5は、この発明の実施の形態2によるプッシュ型駆動回路の構成を示す回路図である。

図6A～6Cの各々は、図5に示した定電流回路の構成を例示する回路図である。

図7は、実施の形態2の変更例を示す回路図である。

図8は、実施の形態2の他の変更例を示す回路図である。

図9は、この発明の実施の形態3によるプル型駆動回路の構成を示す回路図である。

図10は、実施の形態3の変更例を示す回路図である。

図11は、実施の形態3の他の変更例を示す回路図である

図12は、オフセット補償機能付プッシュ型駆動回路の構成を示す回路図である。

図 1 3 は、この発明の実施の形態 5 によるプッシュ型駆動回路の構成を示す回路図である。

図 1 4 は、この発明の実施の形態 6 によるプッシュ型駆動回路の構成を示す回路図である。

5 図 1 5 は、この発明の実施の形態 7 によるプッシュプル型駆動回路の構成を示す回路図である。

図 1 6 は、実施の形態 7 の変更例を示す回路図である。

図 1 7 は、実施の形態 7 の他の変更例を示す回路図である。

図 1 8 は、実施の形態 7 のさらに他の変更例を示す回路図である。

10 図 1 9 は、この発明の実施の形態 8 によるプッシュプル型駆動回路の構成を示す回路図である。

図 2 0 は、この発明の実施の形態 9 によるプッシュプル型駆動回路の構成を示す回路図である。

15 図 2 1 は、この発明の実施の形態 1 0 によるオフセット補償機能付プッシュプル型駆動回路の構成を示す回路図である。

図 2 2 は、従来の駆動回路の構成を示す回路図である。

発明を実施するための最良の形態

[実施の形態 1]

20 図 1 は、この発明の実施の形態 1 によるプッシュ型駆動回路 1 の構成を示す回路図である。図 1 において、この駆動回路 1 は、差動増幅回路 2、P 型トランジスタ 8、N 型電界効果トランジスタ（以下、N 型トランジスタと称す） 9、1 0 および定電流回路 1 1、1 2 を備える。

25 差動増幅回路 2 は、P 型トランジスタ 3、4、N 型トランジスタ 5、6 および定電流回路 7 を含む。P 型トランジスタ 3、4 は、それぞれ電源電位 V_{DD} のラインとノード N 3、N 4 との間に接続され、それらのゲートは共にノード N 4 に接続される。P 型トランジスタ 3、4 は、カレントミラー回路を構成する。N 型トランジスタ 5、6 は、それぞれノード N 3、N 4 とノード N 5 との間に接続され、それらのゲートはそれぞれ入力ノード N 1 の電位 V_I およびノード N 9 の電

位VMを受ける。定電流回路7は、ノードN5と接地電位GNDのラインとの間に接続され、ノードN5から接地電位GNDのラインに所定値の定電流I1を流出させる。

5 P型トランジスタ8、N型トランジスタ9および定電流回路11は、電源電位VDDのラインと接地電位GNDのラインとの間に直列接続される。P型トランジスタ8のゲートは、差動増幅回路2の出力ノードN3の電位V3を受ける。N型トランジスタ9のゲートは、そのドレインに接続される。N型トランジスタ9は、ダイオード素子を構成する。定電流回路11は、ノードN9から接地電位GNDのラインに所定値の定電流I2を流出させる。N型トランジスタ9のソース
10 (ノードN9)の電位VMは、N型トランジスタ6のゲートに与えられる。N型トランジスタ10は、電源電位VDDのラインと駆動回路1の出力ノードN2との間に接続され、そのゲートはトランジスタ8と9の間のノードN8の電位VCを受ける。定電流回路12は、出力ノードN2と接地電位GNDのラインとの間に接続され、出力ノードN2から接地電位GNDのラインに所定値の定電流I3
15 を流出させる。

次に、この駆動回路1の動作について説明する。この駆動回路1では、差動増幅回路2の動作により、ノードN9の電位VMは入力ノードN1の電位に等しくなる。すなわち、N型トランジスタ6とP型トランジスタ4は直列接続され、P型トランジスタ3と4はカレントミラー回路を構成しているので、P型トランジスタ3にはモニタ電位VMに応じた値の電流が流れる。
20

モニタ電位VMが入力電位VIよりも高い場合は、P型トランジスタ3に流れる電流がN型トランジスタ5に流れる電流よりも大きくなってノードN3の電位V3が上昇する。これにより、P型トランジスタ8に流れる電流が小さくなってモニタ電位VMが低下する。モニタ電位VMが入力電位VIよりも低い場合は、
25 P型トランジスタ3に流れる電流がN型トランジスタに流れる電流よりも小さくなってノードN3の電位V3が低下する。これにより、P型トランジスタ8に流れる電流が大きくなってモニタ電位VMが上昇する。したがって、 $VM = VI$ になる。

定電流回路11の電流I2は小さな値に設定されているので、ノードN8の電

位 V_C は $V_C = V_M + V_{TN}$ となる。ここで、 V_{TN} はN型トランジスタのしきい値電圧である。また、N型トランジスタ10の電流駆動能力を定電流回路12の電流駆動能力よりも十分に大きくすると、N型トランジスタ10がソースフォロワ動作をし、出力ノードN2の電位 V_O は $V_O = V_C - V_{TN} = V_M = V_I$ となる。したがって、入力電位 V_I と等しい出力電位 V_O が得られる。

なお、N型トランジスタ9, 10と定電流回路11, 12の電流 I_2 , I_3 との関係についてより詳細に説明すると、以下のようなになる。N型トランジスタ9, 10の電流増幅係数をそれぞれ β_9 , β_{10} とすると、N型トランジスタ9, 10と定電流回路11, 12の電流 I_2 , I_3 との間には次式が成立する。

$$I_2 = \beta_9 (V_C - V_M - V_{TN})^2 / 2 \quad \dots (1)$$

$$I_3 = \beta_{10} (V_C - V_O - V_{TN})^2 / 2 \quad \dots (2)$$

ここで、 $V_M (=V_I) = V_O$ と仮定すると(1)式より次式が成立する。

$$I_2 = \beta_9 (V_C - V_O - V_{TN})^2 / 2 \quad \dots (3)$$

さらに、(3)および(2)式より次式が成立する。

$$I_2 / I_3 = \beta_9 / \beta_{10} \quad \dots (4)$$

つまり、 $V_I = V_O$ となるように、(4)式を満足する I_2 , I_3 , β_9 , β_{10} を設定すればよい。

この実施の形態1では、差動増幅回路2へのフィードバックループの容量がN型トランジスタ6, 9, 10のゲート容量になるので、差動増幅回路131に負荷容量が直接接続されていた従来に比べ、差動増幅回路2へのフィードバックループの容量が十分に小さくなる。したがって、駆動回路1において発振現象が生じることはない。

なお、電界効果トランジスタ3~6, 8~10の各々は、MOSトランジスタであってもよいし、薄膜トランジスタ(TFT)でもよい。薄膜トランジスタは、ポリシリコン薄膜、アモルファスシリコン薄膜などのどのような半導体薄膜で形成されたものでもよいし、樹脂基板、ガラス基板などのどのような絶縁基板上に形成されたものでもよい。

また、図2A~2Cの各々は、図1に示した定電流回路7の構成を例示する回路図である。図2Aでは、定電流回路7は、抵抗素子13およびN型トランジス

タ 1 4, 1 5 を含む。抵抗素子 1 3 および N 型トランジスタ 1 4 は電源電位 V D D のラインと接地電位 G N D のラインとの間に直列接続され、N 型トランジスタ 1 5 はノード N 5 と接地電位 G N D のラインとの間に接続される。N 型トランジスタ 1 4, 1 5 のゲートは、共に N 型トランジスタ 1 4 のドレインに接続される。

5 N 型トランジスタ 1 4 と 1 5 は、カレントミラー回路を構成する。抵抗素子 1 3 および N 型トランジスタ 1 4 には、抵抗素子 1 3 の抵抗値に応じた値の一定電流が流れる。N 型トランジスタ 1 5 には、N 型トランジスタ 1 4 に流れる電流に応じた値の一定電流 I_1 が流れる。

図 2 B では、定電流回路 7 は N 型トランジスタ 1 6 を含む。N 型トランジスタ 1 6 は、ノード N 5 と接地電位 G N D のラインとの間に接続され、そのゲートは一定のバイアス電位 V B N を受ける。バイアス電位 V B N は、N 型トランジスタ 1 6 が飽和領域で動作するような所定のレベルに設定される。これにより、N 型トランジスタ 1 6 には、一定の電流 I_1 が流れる。

10

図 2 C では、定電流回路 7 は、デプレッション型の N 型トランジスタ 1 7 を含む。N 型トランジスタ 1 7 は、ノード N 5 と接地電位 G N D とのラインとの間に接続され、そのゲートは接地電位 G N D のラインに接続される。N 型トランジスタ 1 7 は、ゲートソース間電圧が 0 V のときでも一定の電流 I_1 を流すように形成されている。なお、定電流回路 1 1 は、定電流回路 7 と同じ構成にしてもよいし、電流 I_2 を流す抵抗素子で構成してもよい。また、定電流回路 1 2 は、定電流回路 7 と同じ構成にしてもよいし、電流 I_3 を流す抵抗素子で構成してもよい。

15

20

また、図 3 の駆動回路 1 8 では、P 型トランジスタ 3, 4 のソースと P 型トランジスタ 8 のソースと N 型トランジスタ 1 0 のドレインとにそれぞれ互いに異なる電源電位 V 1, V 2, V 3 が与えられる。また、定電流回路 7, 1 1, 1 2 の低電位側端子がそれぞれ互いに異なる電源電位 V 4, V 5, V 6 に接続される。この変更例でも、図 1 の駆動回路 1 と同じ効果が得られる。

25

また、図 4 の駆動回路 2 0 は、図 1 の駆動回路 1 の差動増幅回路 2 を差動増幅回路 2 1 で置換したものである。差動増幅回路 2 1 は、差動増幅回路 2 の P 型トランジスタ 3, 4 をそれぞれ抵抗素子 2 2, 2 3 で置換したものである。抵抗素

子 22, 23 は、それぞれ電源電位 VDD のラインとノード N3, N4 との間に接続される。

5 N 型トランジスタ 5 に流れる電流と N 型トランジスタ 6 に流れる電流との合計は、定電流回路 7 に流れる電流 I1 に等しくなる。モニタ電位 VM が入力電位 V
I に等しい場合は、N 型トランジスタ 5 に流れる電流と N 型トランジスタ 6 に流れる電流とが等しくなっている。モニタ電位 VM が入力電位 V I よりも高くなると、N 型トランジスタ 6 の電流が増加するとともに N 型トランジスタ 5 の電流が減少し、ノード N3 の電位 V3 が上昇して P 型トランジスタ 8 の電流が減少し、モニタ電位 VM が低下する。モニタ電位 VM が入力電位 V I よりも低くなると、
10 N 型トランジスタ 6 の電流が減少するとともに N 型トランジスタ 5 の電流が増加し、ノード N3 の電位 V3 が低下して P 型トランジスタ 8 の電流が増加し、モニタ電位 VM が上昇する。したがって、モニタ電位 VM は入力電位 V I と同じレベルに保持され、 $V_O = V_I$ となる。この変更例でも、図 1 の駆動回路 1 と同じ効果が得られる。

15 [実施の形態 2]

図 5 は、この発明の実施の形態 2 によるプッシュ型駆動回路 25 の構成を示す回路図である。図 5 において、この駆動回路 25 は、差動増幅回路 26、定電流回路 32, 33 および N 型トランジスタ 34 ~ 36 を備える。

20 差動増幅回路 26 は、定電流回路 27、P 型トランジスタ 28, 29 および N 型トランジスタ 30, 31 を含む。定電流回路 27 は、電源電位 VDD のラインとノード N27 との間に接続され、電源電位 VDD のラインからノード N27 に所定値の定電流 I1 を流入させる。P 型トランジスタ 28, 29 は、それぞれノード N27 とノード N28, N29 の間に接続され、それらのゲートはそれぞれ入力電位 V I およびモニタ電位 VM を受ける。N 型トランジスタ 30, 31 は、
25 それぞれノード N28, N29 と接地電位 GND のラインとの間に接続され、それらのゲートはともにノード N29 に接続される。N 型トランジスタ 30 と 31 は、カレントミラー回路を構成する。

定電流回路 32 および N 型トランジスタ 34, 35 は、電源電位 VDD のラインと接地電位 GND のラインとの間に直列接続される。定電流回路 32 は、電源

電位VDDのラインからノードN32に所定値の定電流I2を流入させる。N型トランジスタ34のゲートは、そのドレイン（ノードN32）に接続される。N型トランジスタ34は、ダイオード素子を構成する。N型トランジスタ34と35の間のノードN34の電位がモニタ電位VMとなる。N型トランジスタ35のゲートは、差動増幅回路26の出力ノードN28の電位V28を受ける。N型トランジスタ36は、電源電位VDDのラインと出力ノードN2との間に接続され、そのゲートはノードN32の電位VCを受ける。定電流回路33は、出力ノードN2と接地電位GNDのラインとの間に接続され、出力ノードN2から接地電位GNDのラインに所定値の定電流I3を流出させる。

次に、この駆動回路25の動作について説明する。この駆動回路25では、差動増幅回路26の動作により、モニタ電位VMは入力電位VIに等しくなる。すなわち、P型トランジスタ29とN型トランジスタ31は直列接続され、N型トランジスタ30と31はカレントミラー回路を構成しているので、N型トランジスタ30にはモニタ電位VMに応じた値の電流が流れる。

モニタ電位VMが入力電位VIよりも高い場合は、N型トランジスタ30に流れる電流がP型トランジスタ29に流れる電流よりも小さくなってノードN28の電位V28が上昇する。これにより、N型トランジスタ35に流れる電流が大きくなってモニタ電位VMが低下する。モニタ電位VMが入力電位VIよりも低い場合は、N型トランジスタ30に流れる電流がP型トランジスタ28に流れる電流よりも大きくなってノードN28の電位V28が低下する。これにより、MOSトランジスタ35に流れる電流が小さくなってモニタ電位VMが上昇する。したがって、 $VM=VI$ になる。

定電流回路32の電流I2は十分に小さい値に設定されているので、ノードN32の電位VCは $VC=VM+VTN$ となる。また、N型トランジスタ36の電流駆動能力を定電流回路33の電流駆動能力よりも十分に大きくすると、N型トランジスタがソースフォロワ動作をし、出力ノードN2の電位VOは $VO=VC-VTN=VM=VI$ となる。したがって、入力電位VIに等しいレベルの出力電位VOが得られる。

この実施の形態2では、差動増幅回路26へのフィードバックループの容量が

トランジスタ 29, 34, 36 のゲート容量になるので、負荷容量が差動増幅回路 131 に直接接続されていた従来に比べ、差動増幅回路 26 へのフィードバックループの容量が十分小さくなる。したがって、駆動回路 25 において発振現象が生じることはない。

5 また、図 6 A ~ 6 C の各々は、図 5 に示した定電流回路 27 の構成を例示する回路図である。図 6 A では、定電流回路 27 は、P 型トランジスタ 37, 38 および抵抗素子 39 を含む。P 型トランジスタ 37 および抵抗素子 39 は電源電位 VDD のラインと接地電位 GND のラインとの間に直列接続され、P 型トランジスタ 38 は電源電位 VDD のラインとノード N27 との間に接続される。P 型トランジスタ 37, 38 のゲートは、共に P 型トランジスタ 37 のドレインに接続される。P 型トランジスタ 37 と 38 は、カレントミラー回路を構成する。P 型トランジスタ 37 および抵抗素子 39 には、抵抗素子 39 の抵抗値に応じた値の一定電流が流れる。P 型トランジスタ 38 には、P 型トランジスタ 37 に流れる電流に応じた値の一定電流 I_1 が流れる。

15 図 6 B では、定電流回路 27 は P 型トランジスタ 40 を含む。P 型トランジスタ 40 は、電源電位 VDD のラインとノード N27 との間に接続され、そのゲートは一定のバイアス電位 VBP を受ける。バイアス電位 VBP は、P 型トランジスタ 40 が飽和領域で動作するような所定のレベルに設定される。これにより、P 型トランジスタ 40 には、一定電流 I_1 が流れる。

20 図 6 C では、定電流回路 27 は、デプレッション型の P 型トランジスタ 41 を含む。P 型トランジスタ 41 は、電源電位 VDD のラインとノード N27 との間に接続され、そのゲートが電源電位 VDD のラインに接続される。P 型トランジスタ 41 は、ゲートソース間電圧が 0 V のときにも一定電流 I_1 を流すように形成されている。なお、定電流回路 32 は、定電流回路 27 と同じ構成にしてもよいし、電流 I_2 を流す抵抗素子で構成してもよい。

25 また、図 7 の駆動回路 45 は、図 5 の駆動回路 25 の差動増幅回路 26 を差動増幅回路 46 で置換したものである。差動増幅回路 46 は、差動増幅回路 26 の N 型トランジスタ 30, 31 を抵抗素子 47, 48 で置換したものである。抵抗素子 47, 48 は、それぞれノード N28, N29 と接地電位 GND との間に接

続される。P型トランジスタ28に流れる電流とP型トランジスタ29に流れる電流との合計は、定電流回路27に流れる電流 I_1 に等しくなる。モニタ電位VMが入力電位VIに等しい場合は、P型トランジスタ28の電流とP型トランジスタ29の電流とは等しくなっている。モニタ電位VMが入力電位VIよりも高くなると、P型トランジスタ29の電流が減少するとともにP型トランジスタ28の電流が増加し、ノードN28の電位V28が上昇してN型トランジスタ35の電流が増加し、モニタ電位VMが低下する。モニタ電位VMが入力電位VIよりも低くなると、P型トランジスタ29の電流が増加するとともにP型トランジスタ28の電流が減少し、ノードN28の電位V28が低下してN型トランジスタ35の電流が減少し、モニタ電位VMが上昇する。したがって、モニタ電位VMは入力電位VIに保持され、 $V_O = V_I$ となる。この変更例では、図1の駆動回路1と同じ効果が得られる。

また、図8の駆動回路50は、図5の駆動回路25の差動増幅回路26を図1の差動増幅回路2で置換したものである。N型トランジスタ35のゲートはノードN3の電位V3を受け、N型トランジスタ6のゲートはモニタ電位VMを受け、モニタ電位VMが入力電位VIよりも高い場合は、P型トランジスタ3に流れる電流がN型トランジスタ5に流れる電流よりも大きくなってノードN3の電位V3が上昇し、N型トランジスタ35の電流が増加してモニタ電位VMは低下する。モニタ電位VMが入力電位VIよりも低い場合は、P型トランジスタ3に流れる電流がN型トランジスタ5に流れる電流よりも小さくなってノードN3の電位V3が低下し、N型トランジスタ35の電流が減少してモニタ電位VMが上昇する。したがって、 $V_M = V_I$ となり、 $V_O = V_I$ となる。この変更例でも、図5の駆動回路25と同じ効果が得られる。

〔実施の形態3〕

図9は、この発明の実施の形態3によるプル型駆動回路55の構成を示す回路図である。図9において、この駆動回路55は、差動増幅回路2、P型トランジスタ56～58および定電流回路59、60を備える。差動増幅回路2は、図1で示したものと同一である。P型トランジスタ56、57および定電流回路59は、電源電位VDDのラインと接地電位GNDのラインとの間に直列接続される。

- P型トランジスタ56のゲートは、ノードN3の電位V3を受ける。N型トランジスタ6のゲートは、P型トランジスタ56と57の間のノードN56の電位VMを受ける。P型トランジスタ57のゲートは、そのドレイン（ノードN57）に接続される。P型トランジスタ57は、ダイオード素子を構成する。定電流回路59は、ノードN57から接地電位GNDのラインに所定値の定電流I2を流出させる。定電流回路60は、電源電位VDDのラインから出力ノードN2に所定値の定電流I3を流入させる。P型トランジスタ58は、出力ノードN2と接地電位GNDのラインとの間に接続され、そのゲートはノードN57の電位VCを受ける。
- 10 モニタ電位VMは、差動増幅回路2の動作によって入力電位VIに保持される。定電流回路59の定電流I2に比べてP型トランジスタ57の電流駆動能力を十分に大きくすると、ノードN57の電位VCは $VC = VM - |V_{TP}|$ となる。ここで、VTPはP型トランジスタのしきい値電圧である。定電流回路60の定電流I3に比べてP型トランジスタ58の電流駆動能力を十分に大きくすると、
- 15 出力電位VOは $VO = VC + |V_{TP}| = VM - |V_{TM}| + |V_{TP}| = VM = VI$ となる。

- この実施の形態3では、差動増幅回路2へのフィードバックループの容量がトランジスタ6, 57, 58のゲート容量になるので、負荷容量が差動増幅回路131に直接接続されていた従来に比べ、差動増幅回路2へのフィードバックループの容量が十分に小さくなる。したがって、駆動回路55において発振現象が生
- 20 じることはない。

- 図10の駆動回路61は、図9の駆動回路55の差動増幅回路2を差動増幅回路26で置換したものである。P型トランジスタ56のゲートは、ノードN28の電位V28を受ける。P型トランジスタ29のゲートは、モニタ電位VMを受ける。モニタ電位VMが入力電位VIよりも高い場合は、N型トランジスタ30の電流がP型トランジスタ28の電流よりも小さくなってノードN28の電位V28が上昇し、P型トランジスタ56を流れる電流が減少してモニタ電位VMが低下する。モニタ電位VMが入力電位VIよりも低い場合は、N型トランジスタ30の電流がP型トランジスタ28の電流よりも大きくなってノードN28の電
- 25

位 V_{28} が低下し、P型トランジスタ 5,6 を流れる電流が増加してモニタ電位 V_M が上昇する。したがって、 $V_M = V_I$ となり、 $V_O = V_I$ となる。この変更例でも、図 9 の駆動回路 55 と同じ効果が得られる。

図 11 の駆動回路 65 は、図 10 の駆動回路 61 の P 型トランジスタ 56 および定電流回路 59 それぞれ定電流回路 66 および N 型トランジスタ 67 で置換したものである。定電流回路 66 は、電源電位 V_{DD} のラインからノード N_{56} に所定値の定電流 I_2 を流入させる。N 型トランジスタ 67 は、ノード N_{57} と接地電位 GND のラインとの間に接続され、そのゲートはノード N_{28} の電位 V_{28} を受ける。モニタ電位 V_M が入力電位 V_I よりも高くなると、ノード N_{28} の電位 V_{28} が上昇して N 型トランジスタ 67 に流れる電流が増加し、モニタ電位 V_M が低下する。モニタ電位 V_M が入力電位 V_I よりも低くなると、ノード N_{28} の電位 V_{28} が低下して N 型トランジスタ 67 に流れる電流が減少し、モニタ電位 V_M が上昇する。したがって、 $V_M = V_I$ となり、 $V_O = V_I$ となる。この変更例でも、図 9 の駆動回路 55 と同じ効果が得られる。

15 [実施の形態 4]

図 12 は、この発明の実施の形態 4 によるオフセット補償機能付プッシュ型駆動回路 70 の構成を示す回路図である。図 12 において、このオフセット補償機能付プッシュ型駆動回路 70 は、駆動回路 1、キャパシタ 71 およびスイッチ $S_1 \sim S_3$ を含む。駆動回路 1 は、図 1 で示したものと同一である。キャパシタ 71 およびスイッチ $S_1 \sim S_3$ は、駆動回路 1 のトランジスタのしきい値電圧のばらつきなどによって駆動回路 1 の入力電位 V_I および出力電位 V_O の間に電位差すなわちオフセット電圧 V_{OF} が生じた場合に、このオフセット電圧 V_{OF} を補償するためのオフセット補償回路を構成する。

すなわち、スイッチ S_1 は、入力ノード N_1 と N 型トランジスタ 5 のゲートとの間に接続される。キャパシタ 71 およびスイッチ S_2 は、N 型トランジスタ 5 のゲートと出力ノード N_2 との間に直列接続され、スイッチ S_3 は、入力ノード N_1 のキャパシタ 71 およびスイッチ S_2 間のノードとの間に接続される。スイッチ $S_1 \sim S_3$ の各々は、P 型トランジスタでもよいし、N 型トランジスタでもよいし、P 型トランジスタおよび N 型トランジスタを並列接続したものでもよい。

スイッチS1～S3の各々は、制御信号（図示せず）によってオン／オフ制御される。

今、駆動回路1の出力電位VOが入力電位VIよりもオフセット電圧VOFだけ低い場合について説明する。初期状態では、すべてのスイッチS1～S3はオフ状態にされ、ある時刻においてスイッチS1、S2がオン状態にされると、出力電位VOは $VO = VI - VOF$ となり、キャパシタ71はオフセット電圧VOFに充電される。

次に、スイッチS1、S2がオフ状態にされると、オフセット電圧VOFはキャパシタ71に保持される。次いでスイッチS3がオン状態であると、N型トランジスタ5のゲート電位は $VI + VOF$ となる。この結果、駆動回路1の出力電位VOは $VO = VI + VOF - VOF = VI$ となり、駆動回路1のオフセット電圧VOFは打ち消されたことになる。

この実施の形態4では、駆動回路1のオフセット電圧VOFを打ち消すことができ、出力電位VOと入力電位VIを精度よく一致させることができる。

なお、この実施の形態4では、駆動回路1のオフセット電圧VOFを打ち消す場合について説明したが、同じ方法により駆動回路18、20、25、45、50、55、61、65のオフセット電圧VOFを打ち消すことができることは言うまでもない。

[実施の形態5]

図1の駆動回路1では、定電流回路11の電流I11は小さな値に設定されているので、入力電位VIが低下したとき、ノードN8の電位VCの低下に時間がかかり、出力電位VOの低下が遅くなる。この実施の形態5では、この問題が解決される。

図13は、この発明の実施の形態5による駆動回路75の構成を説明する回路図である。図13を参照して、この駆動回路75が図1の駆動回路1と異なる点は、N型トランジスタ76が追加されている点である。N型トランジスタ76は、定電流回路11に並列接続され、そのゲートは信号φPDを受ける。

信号φPDは、入力電位VIの低下に応答してパルス的に「H」レベルにされる。これにより、N型トランジスタ76がパルス的に導通してノードN8の電位

VCが迅速に低下し、出力電位VOも迅速に低下する。

なお、この実施の形態5では、N型トランジスタ76のソースを接地電位GNDのラインに接続したが、これに限るものではなく、ノードN8を所定の電位に低下させることができればN型トランジスタ76のソースを他の電位のラインに接続してもよい。

また、N型トランジスタ76をP型トランジスタで置換してもよい。但し、この場合は、入力電位VIの低下に応答して信号φPDをパルスの的に「L」レベルにする必要がある。

また、図9の駆動回路55の定電流回路59にN型トランジスタ76を接続しても同じ効果が得られる。

[実施の形態6]

図5の駆動回路25では、定電流回路32の電流I2は小さな値に設定されているので、入力電位VIが上昇したとき、ノードN32の電位VCの上昇に時間がかかり、出力電位VOの上昇が遅くなる。この実施の形態6では、この問題の解決が図られる。

図14は、この発明の実施の形態6による駆動回路80の構成を示す回路図である。図14を参照して、この駆動回路80が図5の駆動回路25と異なる点は、P型トランジスタ81が追加されている点である。P型トランジスタ81は、定電流回路32に並列接続され、そのゲートは信号φPUを受ける。信号φPUは、入力電位VIの上昇に応答してパルスの的に「L」レベルにされる。これにより、P型トランジスタ81がパルスの的に導通してノードN32の電位VCが迅速に上昇し、出力電位VOも迅速に上昇する。

なお、この実施の形態6では、P型トランジスタ81のソースを電源電位VDDのラインに接続したが、これに限るものではなく、ノードN32を所定の電位に上昇させることができればP型トランジスタ81のソースを他の電位のラインに接続してもよい。

また、P型トランジスタ81をN型トランジスタで置換してもよい。但し、この場合は、入力電位VIの低下に応答して信号φPUをパルスの的に「H」レベルにする必要がある。

また、図 1 1 の駆動回路 6 5 の定電流回路 6 6 に P 型トランジスタ 8 1 を接続しても同じ効果が得られる。

〔実施の形態 7〕

図 1 5 は、この発明の実施の形態 7 によるプッシュプル型駆動回路 8 5 の構成を示す回路図である。図 1 5 において、この駆動回路 8 5 は、図 1 のプッシュ型駆動回路 1 と図 1 1 のプル型駆動回路 6 5 とを組合せたものである。プッシュ型駆動回路 1 の入力ノード N 1 とプル型駆動回路 6 5 の入力ノード N 1 が互いに接続され、プッシュ型駆動回路 1 の出力ノード N 2 とプル型駆動回路 6 5 の出力ノード N 2 とが互いに接続される。

出力電位 V_O が入力電位 V_I よりも高い場合は、プッシュ型駆動回路 1 の N 型トランジスタ 1 0 のゲートソース間電圧が N 型トランジスタ 8 6 のしきい値電圧 V_{TN} よりも小さくなって N 型トランジスタ 1 0 が非導通になるとともに、プル型駆動回路 6 5 の P 型トランジスタ 5 8 のソースゲート間電圧が P 型トランジスタ 5 8 のしきい値電圧 V_{TP} の絶対値よりも大きくなって P 型トランジスタ 5 8 が導通し、出力電位 V_O が低下する。

出力電位 V_O が入力電位 V_I よりも低い場合は、プッシュ型駆動回路 1 の P 型トランジスタ 5 8 のソースゲート間電圧が P 型トランジスタ 5 8 のしきい値 V_{TP} の絶対値よりも小さくなって P 型トランジスタ 5 8 が非導通になるとともに、プル型駆動回路 6 5 の N 型トランジスタ 1 0 のゲートソース間電圧が N 型トランジスタ 1 0 のしきい値 V_{TN} よりも大きくなって N 型トランジスタ 1 0 が導通し、出力電位 V_O が上昇する。したがって、 $V_O = V_I$ となる。

この実施の形態 7 では、実施の形態 1 と同じ効果が得られる他、出力ノード N 2 を充電する場合と放電する場合の両方で大きな電流駆動能力が得られる。

以下、種々の変更例について説明する。図 1 6 のプッシュプル型駆動回路 9 0 は、図 5 のプッシュ型駆動回路 2 5 と図 9 のプル型駆動回路 5 5 とを組合せたものである。プッシュ型駆動回路 2 5 の入力ノード N 1 とプル型駆動回路 5 5 の入力ノード N 1 とは互いに接続され、プッシュ型駆動回路 2 5 の出力ノード N 2 とプル型駆動回路 5 5 の出力ノード N 2 とは互いに接続される。この変更例でも、図 1 5 の駆動回路 8 5 と同じ効果が得られる。

図 1 7 のプッシュプル型駆動回路 9 5 は、図 1 のプッシュ型駆動回路 1 と図 9 のプル型駆動回路 5 5 とを組合せたものである。図 1 8 のプッシュプル型駆動回路 9 6 は、図 5 のプッシュ型駆動回路 2 5 と図 1 1 のプル型駆動回路 6 5 とを組合せたものである。これらの変更例でも、図 1 5 の駆動回路 8 5 と同じ効果が得られる。

[実施の形態 8]

図 1 9 は、この発明の実施の形態 8 によるプッシュプル型駆動回路 1 0 0 の構成を示す回路図である。図 1 9 を参照して、この駆動回路 1 0 0 は、図 1 の駆動回路 1 に P 型トランジスタ 1 0 1、1 0 2 を追加したものである。P 型トランジスタ 1 0 1 および定電流回路 1 1 はノード N 9 と接地電位 GND のラインとの間に直列接続され、P 型トランジスタ 1 0 1 のゲートはそのドレイン（ノード N 1 0 1）に接続される。P 型トランジスタ 1 0 1 はダイオード素子を構成する。P 型トランジスタ 1 0 2 は、出力ノード N 2 と接地電位 GND のラインとの間に接続され、そのゲートはノード N 1 0 1 の電位 V_{C1} を受ける。

差動増幅回路 2 の動作により、ノード N 9 の電位 V_M は $V_M = V_I$ になる。したがって、ノード N 8 の電位 V_C は $V_C = V_I + V_{TN}$ になり、ノード N 1 0 1 の電位 V_{C1} は $V_{C1} = V_I - |V_{TP}|$ になる。出力電位 V_O が入力電位 V_I よりも高い場合は、N 型トランジスタ 1 0 が非導通になるとともに P 型トランジスタ 1 0 2 が導通する。出力電位 V_O が入力電位 V_I よりも低い場合は、P 型トランジスタ 1 0 2 が非導通になるとともに N 型トランジスタ 1 0 が導通する。したがって、 $V_O = V_I$ になる。

この実施の形態 8 では、実施の形態 7 と同じ効果が得られる他、差動増幅回路を 1 つにしたので、レイアウト面積が小さくて済む。

[実施の形態 9]

図 2 0 は、この発明の実施の形態 9 によるプッシュプル型駆動回路 1 0 5 の構成を示す回路図である。図 2 0 を参照して、この駆動回路 1 0 5 は、図 1 1 の駆動回路 6 5 に N 型トランジスタ 1 0 6、1 0 7 を追加したものである。定電流回路 6 6 および N 型トランジスタ 1 0 6 は電源電位 V_{DD} のラインとノード N 5 6 との間に直列接続され、N 型トランジスタ 1 0 6 のゲートはそのドレイン（ノード

ドN66)に接続される。N型トランジスタ106は、ダイオード素子を構成する。N型トランジスタ107は、電源電位VDDのラインと出力ノードN2との間に接続され、そのゲートはノードN66の電位VC1を受ける。差動増幅回路26の動作により、ノードN56の電位VMは $VM=VI$ になる。したがって、

5 ノードN66の電位VC1は $VC1=VI+VTN$ になり、ノードN57の電位VCは $VC=VI-|VTP|$ になる。出力電位VOが入力電位VIよりも高い場合は、N型トランジスタ107が非導通になるとともに、P型トランジスタ58が導通する。出力電位VOが入力電位VIよりも低い場合は、P型トランジスタ58が非導通になるとともにN型トランジスタ107が導通する。したがって、

10 $VO=VI$ になる。

この実施の形態9でも、実施の形態8と同じ効果が得られる。

[実施の形態10]

図21は、この発明の実施の形態10によるオフセット補償機能付プッシュプル型駆動回路110の構成を示す回路図である。図21において、この駆動回路

15 110は、図1の駆動回路1と、図11の駆動回路65と、キャパシタ111a, 111bと、スイッチS1a~S4a, S1b~S4bとを備える。

スイッチS1a, S1bは、それぞれ入力ノードN1と駆動回路1, 65のN型トランジスタ5のゲートとの間に接続される。キャパシタ111aおよびスイッチS2aは、駆動回路1のN型トランジスタ5のゲートとN型トランジスタ1

20 0のソース(ノードN10)との間に直列接続される。キャパシタ111bおよびスイッチS2bは、駆動回路65のN型トランジスタ5のゲートとP型トランジスタ58のソース(ノードN60)との間に直列接続される。スイッチS3aは、入力ノードN1とキャパシタ111aおよびスイッチS2a間のノードとの間に接続される。スイッチS3bは、入力ノードN1とキャパシタ111bおよび

25 スwitchS2b間のノードとの間に接続される。スイッチS4a, S4bは、それぞれノードN10, N60と出力ノードN2との間に接続される。

次に、この駆動回路110の動作について説明する。初期状態では、すべてのスイッチS1a~S4a, S1b~S4bはオフ状態にされている。ある時刻においてスイッチS1a, S2a, S1b, S2bがオン状態にされると、ノード

N10, N60の電位V10, V60がそれぞれ $V10 = VI - VOFa$, $V60 = VI - VOFb$ となり、キャパシタ111a, 111bはそれぞれオフセット電圧VOFa, VOFbに充電される。

次に、スイッチS1a, S2a, S1b, S2bがオフ状態にされると、オフ
5 セット電圧VOFa, VOFbがそれぞれキャパシタ111a, 111bに保持
される。次いでスイッチS3a, S3bがオン状態にされると、駆動回路1, 6
5のN型トランジスタ5のゲート電位がそれぞれ $VI + VOFa$, $VI + VOFb$
となる。この結果、駆動回路1, 65の出力電位V10, V60がそれぞれ $V10 = VI + VOFa - VOFa = VI$, $V60 = VI + VOFb - VOFb =$
10 VI となり、駆動回路1, 65のオフセット電圧VOFa, VOFbは打ち消さ
れたことになる。最後にスイッチS4a, S4bがオン状態にされて、 $VO = V$
Iとなる。

この実施の形態10では、オフセット電圧がなく、かつ充放電の電流駆動能力
の高い駆動回路110が得られる。

15 今回開示された実施の形態はすべての点で例示であって制限的なものではない
と考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範
囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更
が含まれることが意図される。

請求の範囲

1. 入力電位 (V_I) に応じた電位 (V_O) を出力ノード (N_2) に出力する駆動回路であって、

5 第1の電源電位 (V_{DD}) のラインと前記出力ノード (N_2) との間に接続された第1のトランジスタ (10)、

そのゲートおよび第1の電極が前記第1のトランジスタ (10) のゲートに接続され、その第2の電極が第1のノード (N_9) に接続された第2のトランジスタ (9)、

10 第2および第3の電源電位 (V_{DD} , GND) のライン間に前記第2のトランジスタ (9) と直列接続された第3のトランジスタ (8)、および

前記第1のノード (N_9) の電位が前記入力電位 (V_I) に一致するように前記第3のトランジスタ (8) のゲート電位を制御する第1の差動増幅回路 (2) を備える、駆動回路。

15 2. 前記第3のトランジスタ (8) は、前記第2の電源電位 (V_{DD}) のラインと前記第2のトランジスタ (9) の第1の電極との間に接続され、

さらに、前記第1のノード (N_9) と前記第3の電源電位 (GND) のラインとの間に接続された電流制限素子 (11) を備える、請求の範囲第1項に記載の駆動回路。

20 3. さらに、前記電流制限素子 (11) に並列接続され、前記入力電位 (V_I) が前記第2の電源電位 (V_{DD}) 側から前記第1の電源電位 (GND) 側に変化したことに応じてパルス的に導通するスイッチング素子 (76) を備える、請求の範囲第2項に記載の駆動回路。

4. 前記第3のトランジスタ (35) は、前記第1のノード (N_{34}) と前記第3の電源電位 (GND) のラインとの間に接続され、

25 さらに、前記第2の電源電位 (V_{DD}) のラインと前記第2のトランジスタ (34) の第1の電極との間に接続された電流制限素子 (32) を備える、請求の範囲第1項に記載の駆動回路。

5. さらに、前記電流制限素子 (32) に並列接続され、前記入力電位 (V_I)

が前記第3の電源電位（GND）側から前記第2の電源電位（VDD）側に変化したことにおいてパルス的に導通するスイッチング素子（81）を備える、請求の範囲第4項に記載の駆動回路。

5 6. さらに、前記出力ノード（N2）と第4の電源電位（GND）のラインとの間に接続された電流制限素子（12）を備える、請求の範囲第1項に記載の駆動回路。

7. 前記第3のトランジスタ（8）は、前記第2の電源電位（VDD）のラインと前記第2のトランジスタ（9）の第1の電極との間に接続され、

10 さらに、第4の電源電位（GND）のラインと前記出力ノード（N2）との間に接続された第4のトランジスタ（102）、

そのゲートおよび第1の電極が前記第4のトランジスタ（102）のゲートに接続され、その第2の電極が前記第1のノード（N9）に接続された第5のトランジスタ（101）、および

15 前記第5のトランジスタ（101）の第1の電極と前記第3の電源電位（GND）のラインとの間に接続された電流制限素子（11）を備え、

前記第1および第2のトランジスタは第1の導電形式であり、

前記第4および第5のトランジスタは第2の導電形式である、請求の範囲第1項に記載の駆動回路。

20 8. さらに、前記駆動回路のオフセット電圧を打ち消すオフセット補償回路（71, S1～S3）を備える、請求の範囲第1項に記載の駆動回路。

9. 前記オフセット補償回路（71, S1～S3）は、

キャパシタ（71）、

25 前記キャパシタ（71）の一方電極に前記入力電位（VI）を与えるとともに前記キャパシタ（71）の他方電極を前記出力ノード（N2）に接続する第1の切換回路（S1, S2）、および

前記キャパシタ（71）の他方電極に前記入力電位（VI）を与えるとともに前記キャパシタ（71）の一方電極の電位を前記入力電位（VI）の代わりに前記第1の差動増幅回路（2）に与える第2の切換回路（S3）を含む、請求の範囲第8項に記載の駆動回路。

10. 前記第1および第2のトランジスタ(10, 9)は第1の導電形式であり、
さらに、第4の電源電位(GND)のラインと前記出力ノード(N2)との間
に接続された第2の導電形式の第4のトランジスタ(58)、

5 そのゲートおよび第1の電極が前記第4のトランジスタ(58)のゲートに接
続され、その第2の電極が第2のノード(N56)に接続された第2の導電形式
の第5のトランジスタ(57)、

前記第2および第3の電源電位(VDD, GND)のライン間に前記第5のト
ランジスタ(57)と直列接続された第6のトランジスタ(67)、および

10 前記第2のノード(N56)の電位が前記入力電位(VI)に一致するように
前記第6のトランジスタ(67)のゲート電位を制御する第2の差動増幅回路
(26)を備える、請求の範囲第1項に記載の駆動回路。

11. 前記第3のトランジスタ(8)は、前記第2の電源電位(VDD)のライ
ンと前記第2のトランジスタ(9)の第1の電極との間に接続され、

15 前記第6のトランジスタ(67)は、前記第3の電源電位(GND)のライン
と前記第5のトランジスタ(57)の第1の電極との間に接続され、

さらに、前記第1のノード(N9)と前記第3の電源電位(GND)のライン
との間に接続された第1の電流制限素子(11)、および

20 前記第2のノード(N56)と前記第2の電源電位(VDD)のラインとの間
に接続された第2の電流制限素子(66)を備える、請求の範囲第10項に記載
の駆動回路。

12. 前記第3のトランジスタ(35)は、前記第1のノード(N34)と前記
第3の電源電位(GND)のラインとの間に接続され、

前記第6のトランジスタ(56)は、前記第2のノード(N57)と前記第2
の電源電位(VDD)のラインとの間に接続され、

25 さらに、前記第2の電源電位(VDD)のラインと前記第2のトランジスタ
(34)の第1の電極との間に接続された第1の電流制限素子(32)、および
前記第3の電源電位(VDD)のラインと前記第5のトランジスタ(57)の
第1の電極との間に接続された第2の電流制限素子(59)を備える、請求の範
囲第10項に記載の駆動回路。

13. 前記第3のトランジスタ(8)は、前記第2の電源電位(VDD)のラインと前記第2のトランジスタ(9)の第1の電極との間に接続され、

前記第6のトランジスタ(56)は、前記第2のノード(N56)と前記第2の電源電位(VDD)のラインとの間に接続され、

5 さらに、前記第1のノード(N9)と前記第3の電源電位(GND)のラインとの間に接続された第1の電流制限素子(11)、および

前記第3の電源電位(GND)のラインと前記第5のトランジスタ(57)の第1の電極との間に接続された第2の電流制限素子(59)を備える、請求の範囲第10項に記載の駆動回路。

10 14. さらに、前記第1～第3のトランジスタ(8～10)および前記第1の差動増幅回路(2)のオフセット電圧(VOFa)を打ち消す第1のオフセット補償回路(12, 111a, S1a～S4a)、および

前記第4～第6のトランジスタ(56～58)および前記第2の差動増幅回路(2)のオフセット電圧(VOFb)を打ち消す第2のオフセット補償回路(60, 111b, S1b～S4b)を備える、請求の範囲第10項に記載の駆動回路。

15 15. 前記第1および第4のトランジスタ(10, 58)の一方電極は、前記出力ノード(N2)に接続される代わりに、それぞれ第3および第4のノード(N10, N60)に接続され、

20 前記第1のオフセット補償回路(12, 111a, S1a～S4a)は、前記第3のノード(N10)と第6の電源電位(GND)のラインとの間に接続された第1の電流制限素子(12)、

第1のキャパシタ(111a)、

25 前記第1のキャパシタ(111a)の一方電極に前記入力電位(VI)を与えるととともに前記第1のキャパシタ(111a)の他方電極を前記第3のノード(N10)に接続する第1の切換回路(S1a, S2a)、

前記第1のキャパシタ(111a)の他方電極に前記入力電位(VI)を与えるととともに前記第1のキャパシタ(111a)の一方電極の電位を前記入力電位(VI)の代わりに前記第1の差動増幅回路(2)に与える第2の切換回路(S

3 a)、および

前記第3のノード(N10)の電位を前記出力ノード(N2)に与える第3の
切換回路(S4a)を含み、

前記第2のオフセット補償回路(60, 111b, S1b~S4b)は、

5 前記第4のノード(N60)と第7の電源電位(VDD)のラインとの間に接
続された第2の電流制限素子(60)、

第2のキャパシタ(111b)、

前記第2のキャパシタ(111b)の一方電極に前記入力電位(VI)を与え
るとともに前記第2のキャパシタ(111b)の他方電極を前記第4のノード
10 (N60)に接続する第4の切換回路(S1b, S2b)、

前記第2のキャパシタ(111b)の他方電極に前記入力電位(VI)を与え
るとともに前記第2のキャパシタ(111b)の一方電極を前記入力電位(V
I)の代わりに前記第2の差動増幅回路(2)に与える第5の切換回路(S3
b)、および

15 前記第4のノード(N60)の電位を前記出力ノード(N2)に与える第6の
切換回路(S4b)を備える、請求の範囲第14項に記載の駆動回路。

16. 前記第1の差動増幅回路(2)は、

それらのゲートがそれぞれ入力電位(VI)および前記第1のノード(N9)
の電位を受け、それらの第1の電極が互いに接続された第1の導電形式の第4お
20 よび第5のトランジスタ(5, 6)、

それぞれ第4の電源電位(VDD)のラインと前記第4および第5のトランジ
スタ(5, 6)の第2の電極との間に接続され、それらのゲートが共に前記第5
のトランジスタ(6)の第2の電極に接続された第2の導電形式の第6および第
7のトランジスタ(3, 4)、および

25 前記第4および第5のトランジスタ(5, 6)の第1の電極と第5の電源電位
(GND)のラインとの間に接続された電流制限素子(7)を備える、請求の範
囲第1項に記載の駆動回路。

17. 前記第1、第2および第4の電源電位は同じ電位(VDD)であり、

前記第3および第5の電位は同じ電位(GND)である、請求の範囲第16項

に記載の駆動回路。

18. 前記第1、第2および第5の電源電位は同じ電位(VDD)であり、
前記第3および第4の電源電位は同じ電位(GND)である、請求の範囲第1
6項に記載の駆動回路。

5 19. 前記第1の差動増幅回路(21)は、

それらのゲートがそれぞれ前記入力電位(VI)および前記第1のノード(N
9)の電位を受け、それらの第1の電極が互いに接続された第4および第5のト
ランジスタ(5, 6)、

10 それぞれ第4の電源電位(VDD)のラインと前記第4および第5のトランジ
スタ(5, 6)の第2の電極との間に接続された第1および第2の抵抗素子(2
2, 23)、および

前記第4および第5のトランジスタ(5, 6)の第1の電極と第5の電源電位
(GND)のラインとの間に接続された電流制限素子(7)を備える、請求の範
囲第1項に記載の駆動回路。

15 20. 前記第1～第3のトランジスタ(8～10)の各々は、薄膜トランジスタ
である、請求の範囲第1項に記載の駆動回路。

[2003年4月22日(22.04.03)国際事務局受理:出願当初の請求の範囲1-5、11-13、15、16、19及び20は補正された;出願当初の請求の範囲6-10及び14は取り下げられた;他の請求の範囲は変更なし。(6頁)]

1. (補正後)入力電位(VI)に応じた電位(VO)を出力ノード(N2)に出力する駆動回路であって、

5 第1の電源電位(VDD)のラインと第1のノード(N10)との間に接続された第1の導電形式の第1のトランジスタ(10または36)、

そのゲートおよび第1の電極が前記第1のトランジスタ(10または36)のゲートに接続され、その第2の電極が第2のノード(N9)に接続された第1の導電形式の第2のトランジスタ(9または34)、

10 第2および第3の電源電位(VDD, GND)のライン間に前記第2のトランジスタ(9)と直列接続された第3のトランジスタ(8または35)、および
前記第2のノード(N9)の電位が前記入力電位(VI)に一致するように前記第3のトランジスタ(8または35)のゲート電位を制御する第1の差動増幅回路(2, 21, 26, または46)を含む第1の副駆動回路(1, 18, 20, 25, 45, 50, 75, または80)と、

15 前記第1の電源電位(VDD)と異なる第4の電源電位(GND)のラインと第3のノード(N60)との間に接続された第2の導電形式の第4のトランジスタ(58)、

20 そのゲートおよび第1の電極が前記第4のトランジスタ(58)のゲートに接続され、その第2の電極が第4のノード(N56)に接続された第2の導電形式の第5のトランジスタ(57)、

前記第2および第3の電源電位(VDD, GND)のライン間に前記第5のトランジスタ(57)と直列接続された第6のトランジスタ(56または67)、および

25 前記第4のノード(N56)の電位が前記入力電位(VI)に一致するように前記第6のトランジスタ(56または67)のゲート電位を制御する第2の差動増幅回路(2または26)を含む第2の副駆動回路(55, 61, または65)と、

前記第1の副駆動回路(1, 18, 20, 25, 45, 50, 75, または80

0) のオフセット電圧 (VOF a) を打ち消し、前記第 1 のノード (N10) を前記出力ノード (N2) に接続する第 1 のオフセット補償回路 (12, 111a, および S1a ~ S4a) と、

5 前記第 2 の副駆動回路 (55, 61, または 65) のオフセット電圧 (VOF b) を打ち消し、前記第 3 のノード (N60) を前記出力ノード (N2) に接続する第 2 のオフセット補償回路 (60, 111b, および S1b ~ S4b) とを備える、駆動回路。

2. (補正後) 前記第 3 のトランジスタ (8) は、前記第 2 の電源電位 (VDD) のラインと前記第 2 のトランジスタ (9) の第 1 の電極との間に接続され、

10 前記第 1 の副駆動回路 (1, 18, 20, または 75) は、さらに、前記第 2 のノード (N9) と前記第 3 の電源電位 (GND) のラインとの間に接続された電流制限素子 (11) を含む、請求の範囲第 1 項に記載の駆動回路。

3. (補正後) 前記前記第 1 の副駆動回路 (75) は、さらに、前記電流制限素子 (11) に並列接続され、所定のタイミングでパルス的に導通するスイッチング素子 (76) を含む、請求の範囲第 2 項に記載の駆動回路。

4. (補正後) 前記第 3 のトランジスタ (35) は、前記第 2 のノード (N34) と前記第 3 の電源電位 (GND) のラインとの間に接続され、

20 前記前記第 1 の副駆動回路 (25, 45, 50, または 80) は、さらに、前記第 2 の電源電位 (VDD) のラインと前記第 2 のトランジスタ (34) の第 1 の電極との間に接続された電流制限素子 (32) を含む、請求の範囲第 1 項に記載の駆動回路。

5. (補正後) 前記前記第 1 の副駆動回路 (80) は、さらに、前記電流制限素子 (32) に並列接続され、所定のタイミングでパルス的に導通するスイッチング素子 (81) を含む、請求の範囲第 4 項に記載の駆動回路。

25 6. (削除)

7. (削除)

8. (削除)

9. (削除)

10. (削除)

1 1. (補正後) 前記第3のトランジスタ(8)は、前記第2の電源電位(VDD)のラインと前記第2のトランジスタ(9)の第1の電極との間に接続され、
前記第6のトランジスタ(67)は、前記第3の電源電位(GND)のラインと前記第5のトランジスタ(57)の第1の電極との間に接続され、

5 前記第1の副駆動回路(1, 18, 20, または75)は、さらに、前記第2のノード(N9)と前記第3の電源電位(GND)のラインとの間に接続された第1の電流制限素子(11)を含み、

前記第2の副駆動回路(65)は、さらに、前記第4のノード(N56)と前記第2の電源電位(VDD)のラインとの間に接続された第2の電流制限素子
10 (66)を含む、請求の範囲第1項に記載の駆動回路。

1 2. (補正後) 前記第3のトランジスタ(35)は、前記第2のノード(N34)と前記第3の電源電位(GND)のラインとの間に接続され、

前記第6のトランジスタ(56)は、前記第4のノード(N56)と前記第2の電源電位(VDD)のラインとの間に接続され、

15 前記第1の副駆動回路(25, 45, 50, または80)は、さらに、前記第2の電源電位(VDD)のラインと前記第2のトランジスタ(34)の第1の電極との間に接続された第1の電流制限素子(32)を含み、

前記第2の副駆動回路(55)は、さらに、前記第3の電源電位(GND)のラインと前記第5のトランジスタ(57)の第1の電極との間に接続された第2
20 の電流制限素子(59)を含む、請求の範囲第1項に記載の駆動回路。

1 3. (補正後) 前記第3のトランジスタ(8)は、前記第2の電源電位(VDD)のラインと前記第2のトランジスタ(9)の第1の電極との間に接続され、

前記第6のトランジスタ(56)は、前記第4のノード(N56)と前記第2の電源電位(VDD)のラインとの間に接続され、

25 前記第1の副駆動回路(1, 18, 20, または75)は、さらに、前記第2のノード(N9)と前記第3の電源電位(GND)のラインとの間に接続された第1の電流制限素子(11)を含み、

前記第2の副駆動回路(55)は、さらに、前記第3の電源電位(GND)のラインと前記第5のトランジスタ(57)の第1の電極との間に接続された第2

の電流制限素子（５９）を備える、請求の範囲第１項に記載の駆動回路。

１４．（削除）

１５．（補正後）前記第１のオフセット補償回路（１２，１１１ａ，およびＳ１
ａ～Ｓ４ａ）は、

５ 前記第１のノード（Ｎ１０）と第６の電源電位（ＧＮＤ）のラインとの間に接
続された第１の電流制限素子（１２）、

第１のキャパシタ（１１１ａ）、

前記第１のキャパシタ（１１１ａ）の一方電極に前記入力電位（ＶＩ）を与え
るとともに前記第１のキャパシタ（１１１ａ）の他方電極を前記第１のノード
１０ （Ｎ１０）に接続する第１の切換回路（Ｓ１ａ，Ｓ２ａ）、

前記第１のキャパシタ（１１１ａ）の他方電極に前記入力電位（ＶＩ）を与え
るとともに前記第１のキャパシタ（１１１ａ）の一方電極の電位を前記入力電位
（ＶＩ）の代わりに前記第１の差動増幅回路（２，２１，２６，または４６）に
与える第２の切換回路（Ｓ３ａ）、および

１５ 前記第１のノード（Ｎ１０）の電位を前記出力ノード（Ｎ２）に与える第３の
切換回路（Ｓ４ａ）を含み、

前記第２のオフセット補償回路（６０，１１１ｂ，Ｓ１ｂ～Ｓ４ｂ）は、

前記第３のノード（Ｎ６０）と第７の電源電位（ＶＤＤ）のラインとの間に接
続された第２の電流制限素子（６０）、

２０ 第２のキャパシタ（１１１ｂ）、

前記第２のキャパシタ（１１１ｂ）の一方電極に前記入力電位（ＶＩ）を与え
るとともに前記第２のキャパシタ（１１１ｂ）の他方電極を前記第３のノード
（Ｎ６０）に接続する第４の切換回路（Ｓ１ｂ，Ｓ２ｂ）、

前記第２のキャパシタ（１１１ｂ）の他方電極に前記入力電位（ＶＩ）を与え
るとともに前記第２のキャパシタ（１１１ｂ）の一方電極を前記入力電位（Ｖ
２５ Ｉ）の代わりに前記第２の差動増幅回路（２）に与える第５の切換回路（Ｓ３
ｂ）、および

前記第３のノード（Ｎ６０）の電位を前記出力ノード（Ｎ２）に与える第６の
切換回路（Ｓ４ｂ）を含む、請求の範囲第１項に記載の駆動回路。

1 6. (補正後) 前記第 1 の差動増幅回路 (2 または 2 6) は、

それらのゲートがそれぞれ入力電位 (V I) および前記第 2 のノード (N 9 または N 3 4) の電位を受け、それらの第 1 の電極が互いに接続された第 7 および第 8 のトランジスタ (5, 6 または 2 8, 2 9)、

5 それぞれ第 4 の電源電位 (VDD または GND) のラインと前記第 7 および第 8 のトランジスタ (5, 6 または 2 8, 2 9) の第 2 の電極との間に接続され、それらのゲートが共に前記第 8 のトランジスタ (6 または 2 9) の第 2 の電極に接続され、前記第 7 および第 8 のトランジスタ (5, 6 または 2 8, 2 9) と異なる導電形式の第 9 および第 1 0 のトランジスタ (3, 4 または 3 0, 3 1)、
10 および

前記第 7 および第 8 のトランジスタ (5, 6 または 2 8, 2 9) の第 1 の電極と第 5 の電源電位 (GND または VDD) のラインとの間に接続された電流制限素子 (7 または 2 7) を含む、請求の範囲第 1 項に記載の駆動回路。

1 7. 前記第 1、第 2 および第 4 の電源電位は同じ電位 (VDD) であり、

15 前記第 3 および第 5 の電位は同じ電位 (GND) である、請求の範囲第 1 6 項に記載の駆動回路。

1 8. 前記第 1、第 2 および第 5 の電源電位は同じ電位 (VDD) であり、

前記第 3 および第 4 の電源電位は同じ電位 (GND) である、請求の範囲第 1 6 項に記載の駆動回路。

20 1 9. (補正後) 前記第 1 の差動増幅回路 (2 1 または 4 6) は、

それらのゲートがそれぞれ前記入力電位 (V I) および前記第 2 のノード (N 9 または N 3 4) の電位を受け、それらの第 1 の電極が互いに接続された第 7 および第 8 のトランジスタ (5, 6 または 2 8, 2 9)、

25 それぞれ第 4 の電源電位 (VDD または GND) のラインと前記第 7 および第 8 のトランジスタ (5, 6 または 2 8, 2 9) の第 2 の電極との間に接続された第 1 および第 2 の抵抗素子 (2 2, 2 3 または 4 7, 4 8)、および

前記第 7 および第 8 のトランジスタ (5, 6 または 2 8, 2 9) の第 1 の電極と第 5 の電源電位 (GND または VDD) のラインとの間に接続された電流制限素子 (7 または 2 7) を含む、請求の範囲第 1 項に記載の駆動回路。

20. (補正後) 前記第1～第6のトランジスタ(8～10, 24, 35, 56～58, 67)の各々は、薄膜トランジスタである、請求の範囲第1項に記載の駆動回路。

FIG.3

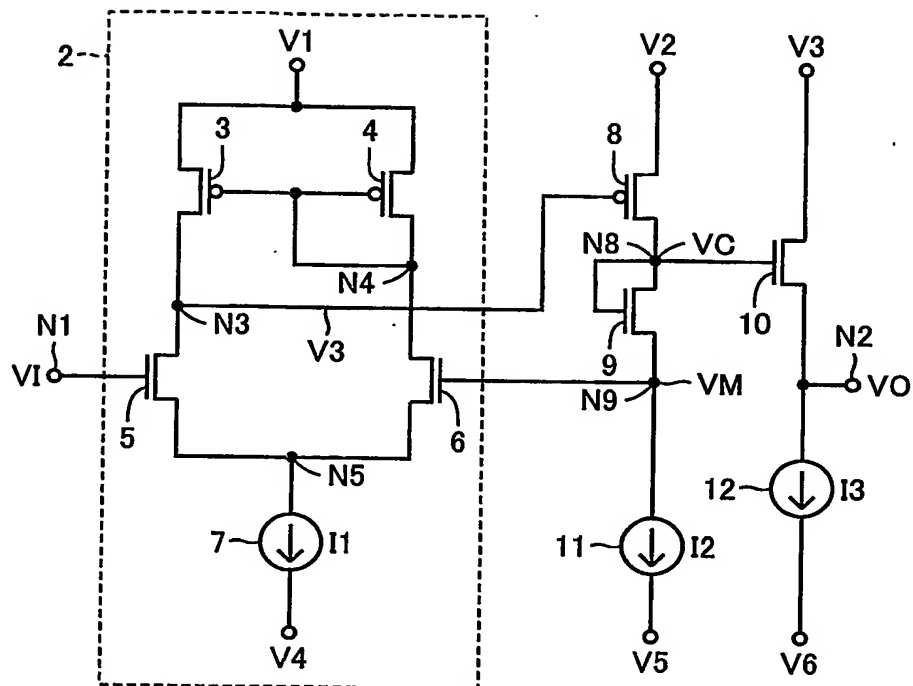
18

FIG.4

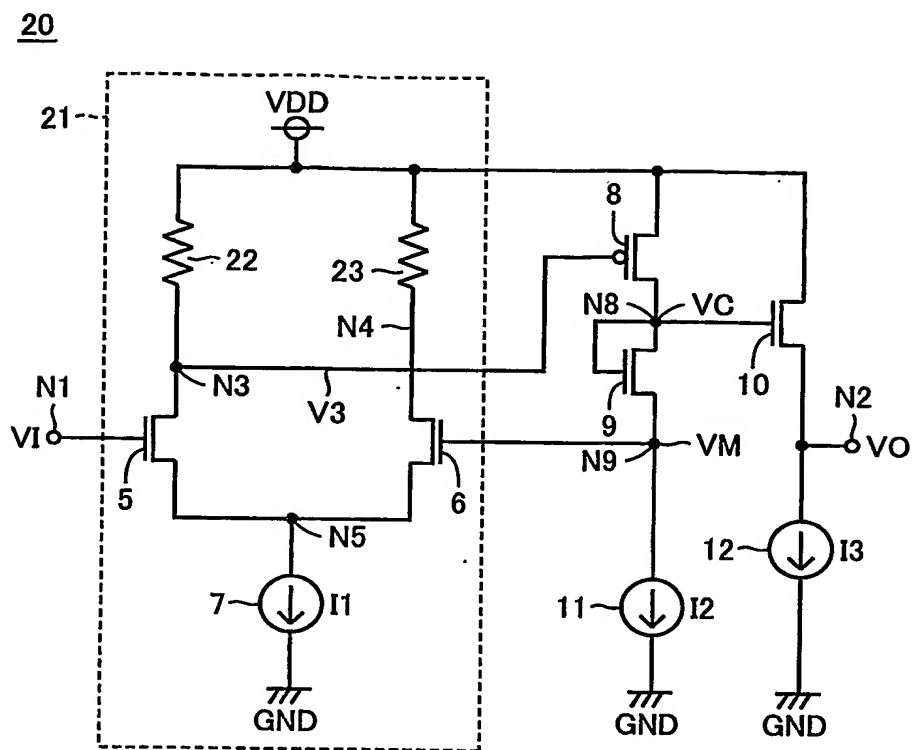


FIG.5

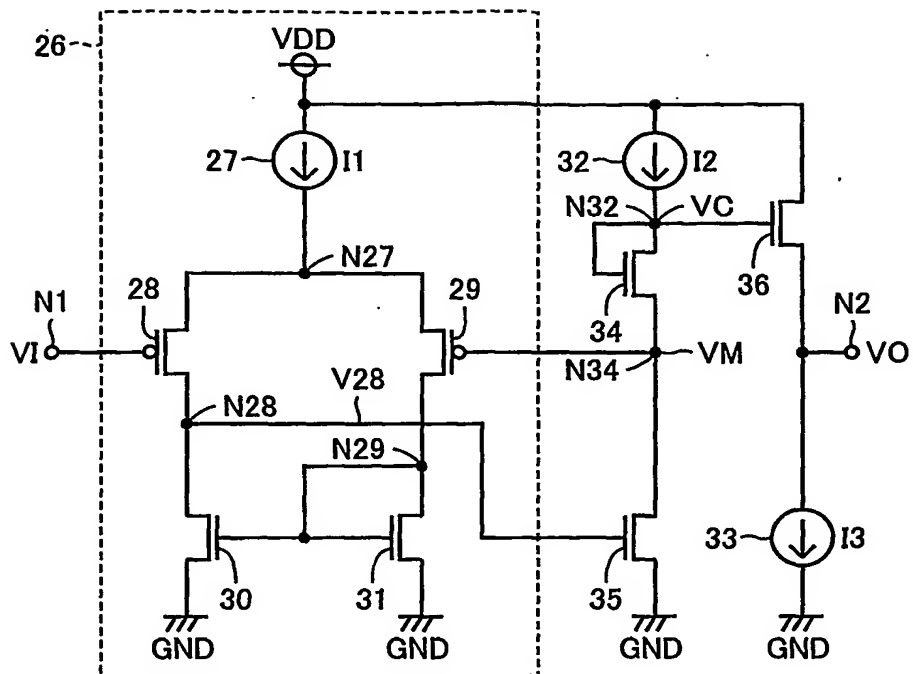
25

FIG.6A

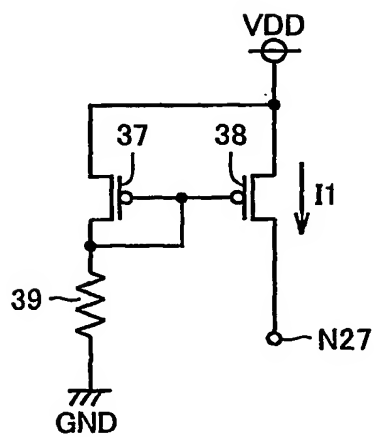


FIG.6B

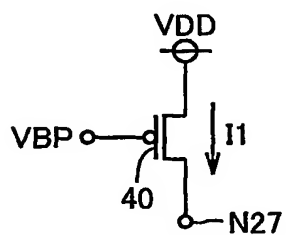


FIG.6C

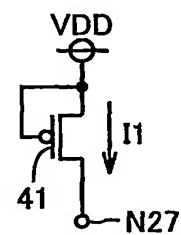


FIG.8

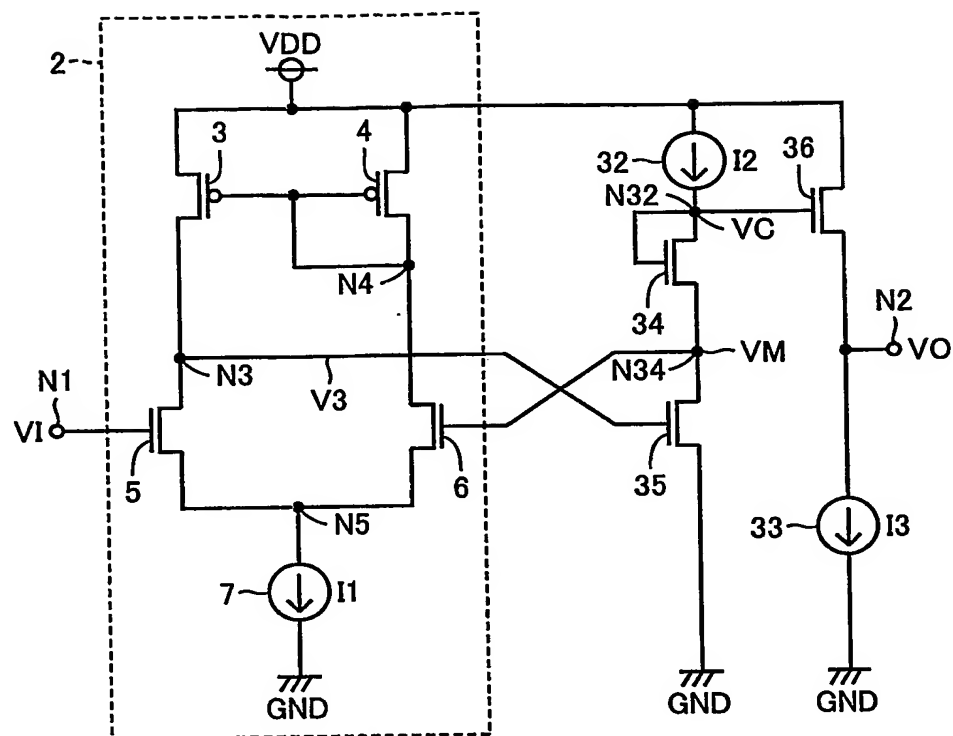
50

FIG.9

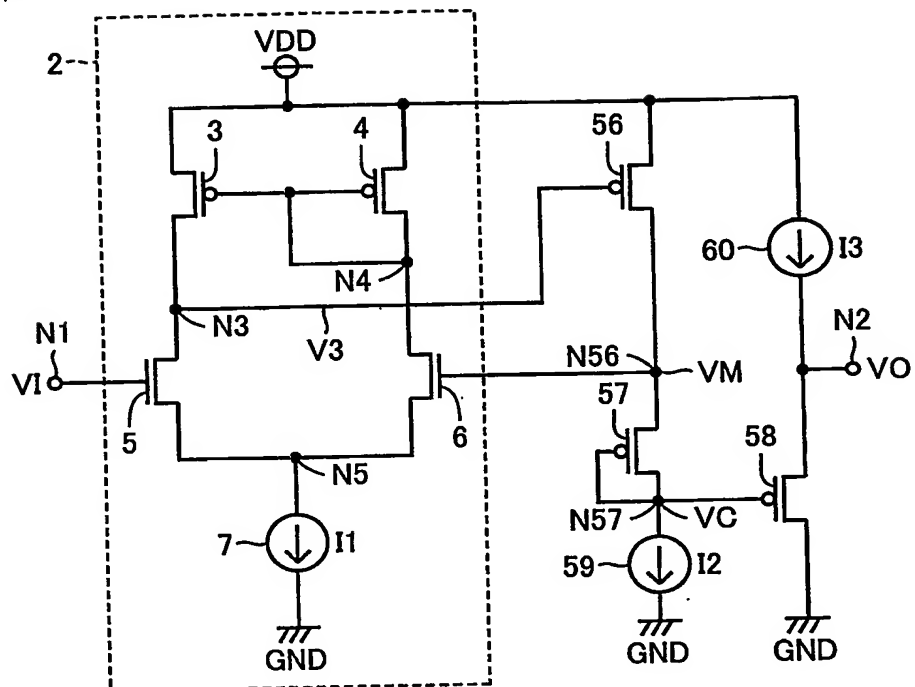
55

FIG.11

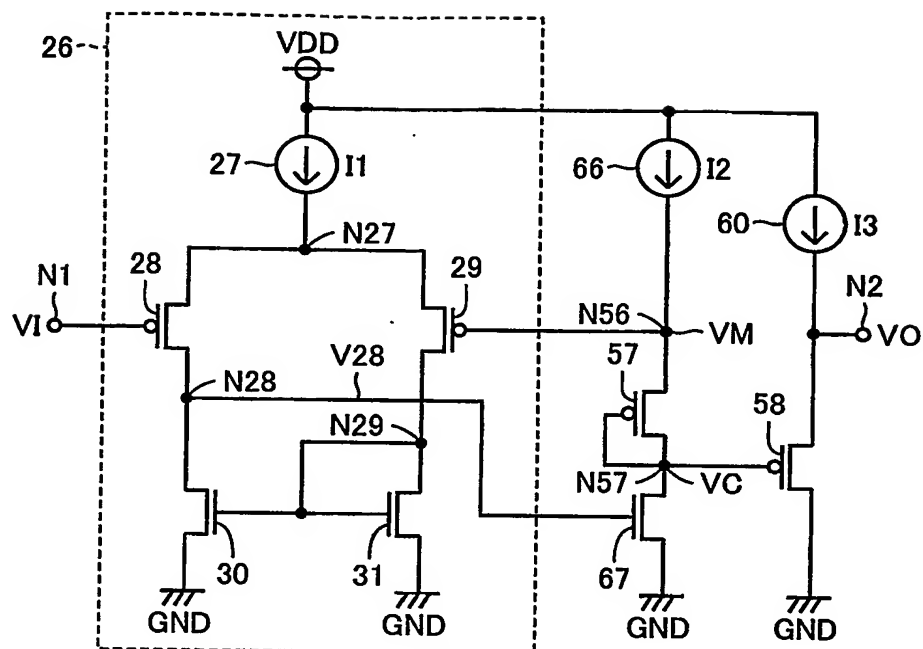
65

FIG.12

70

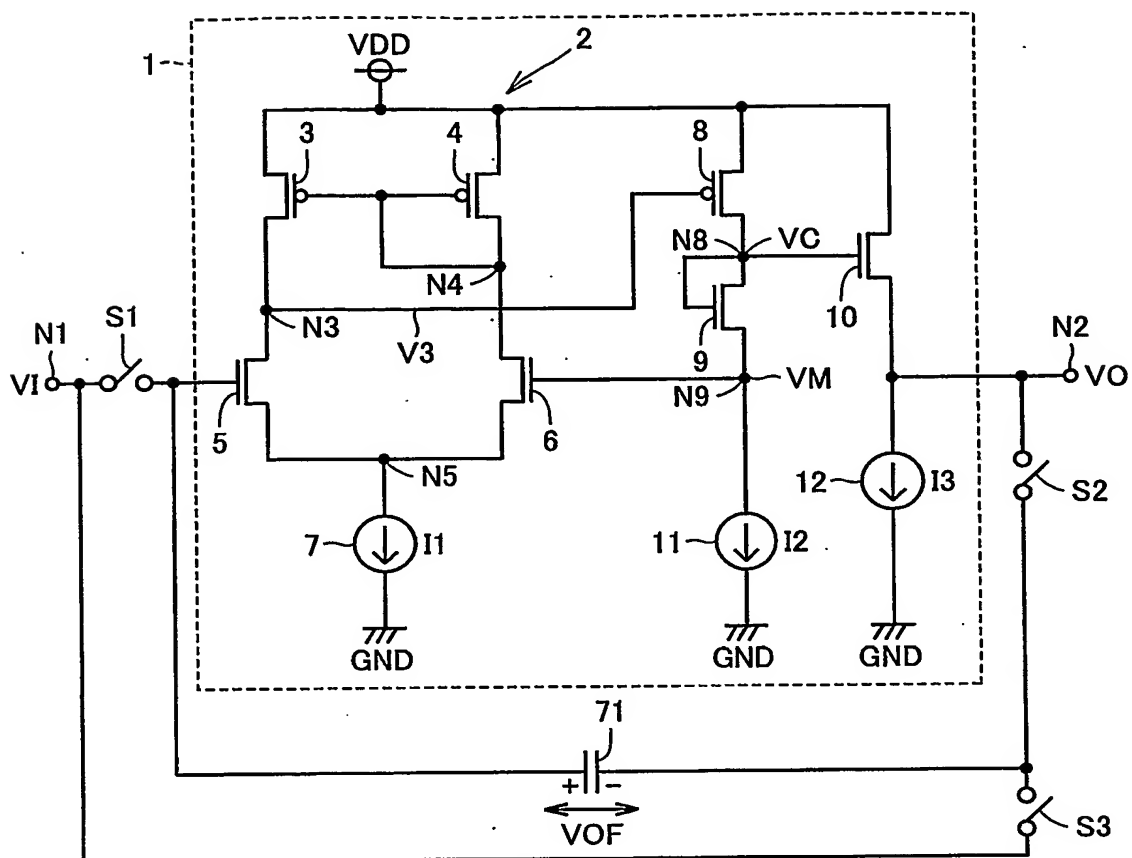


FIG.13

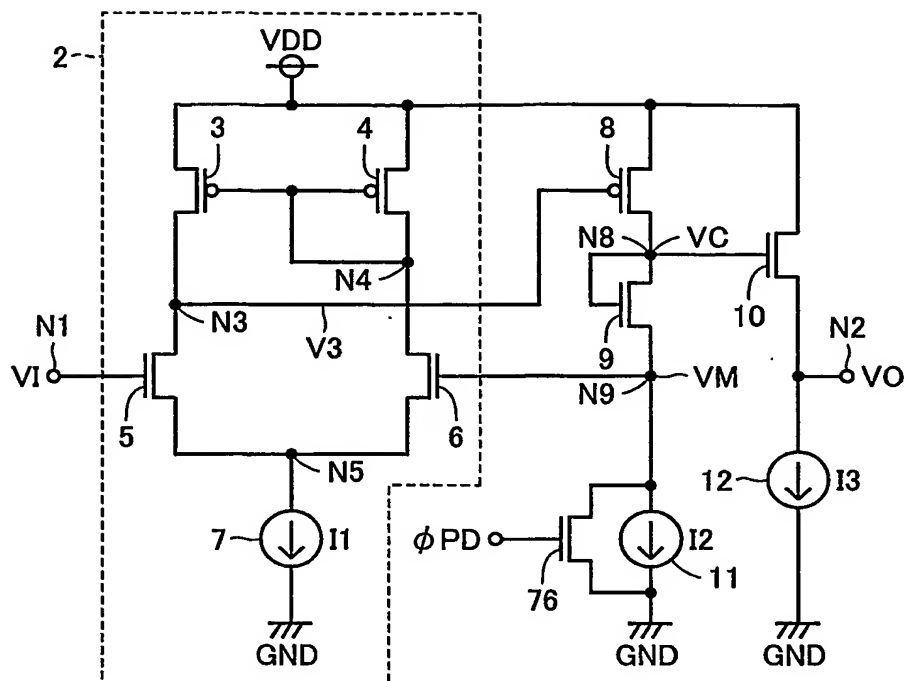
75

FIG.14

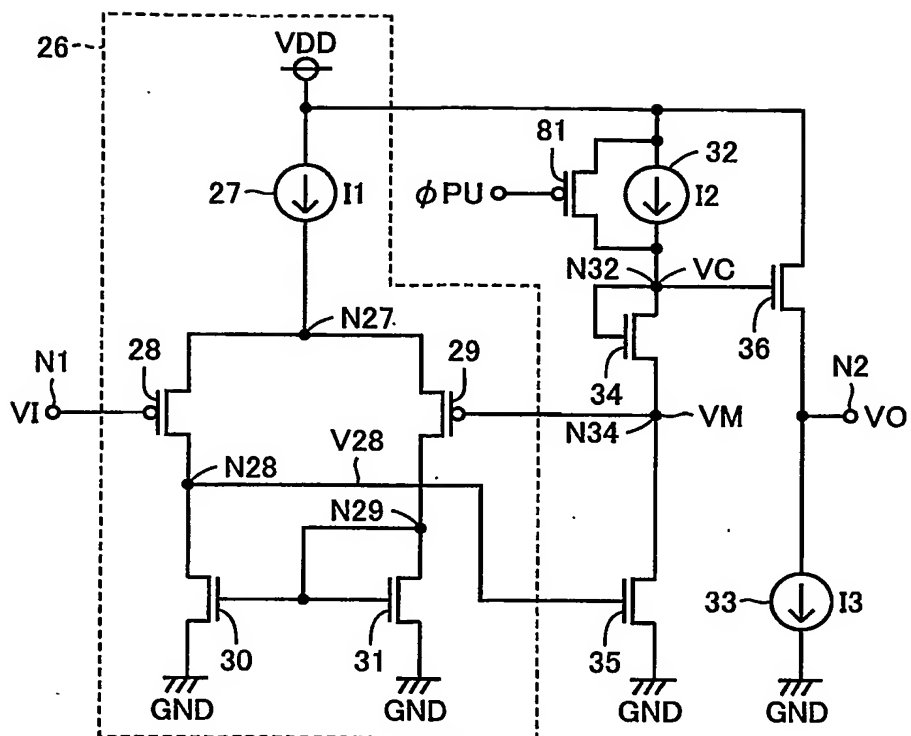
80

FIG.15

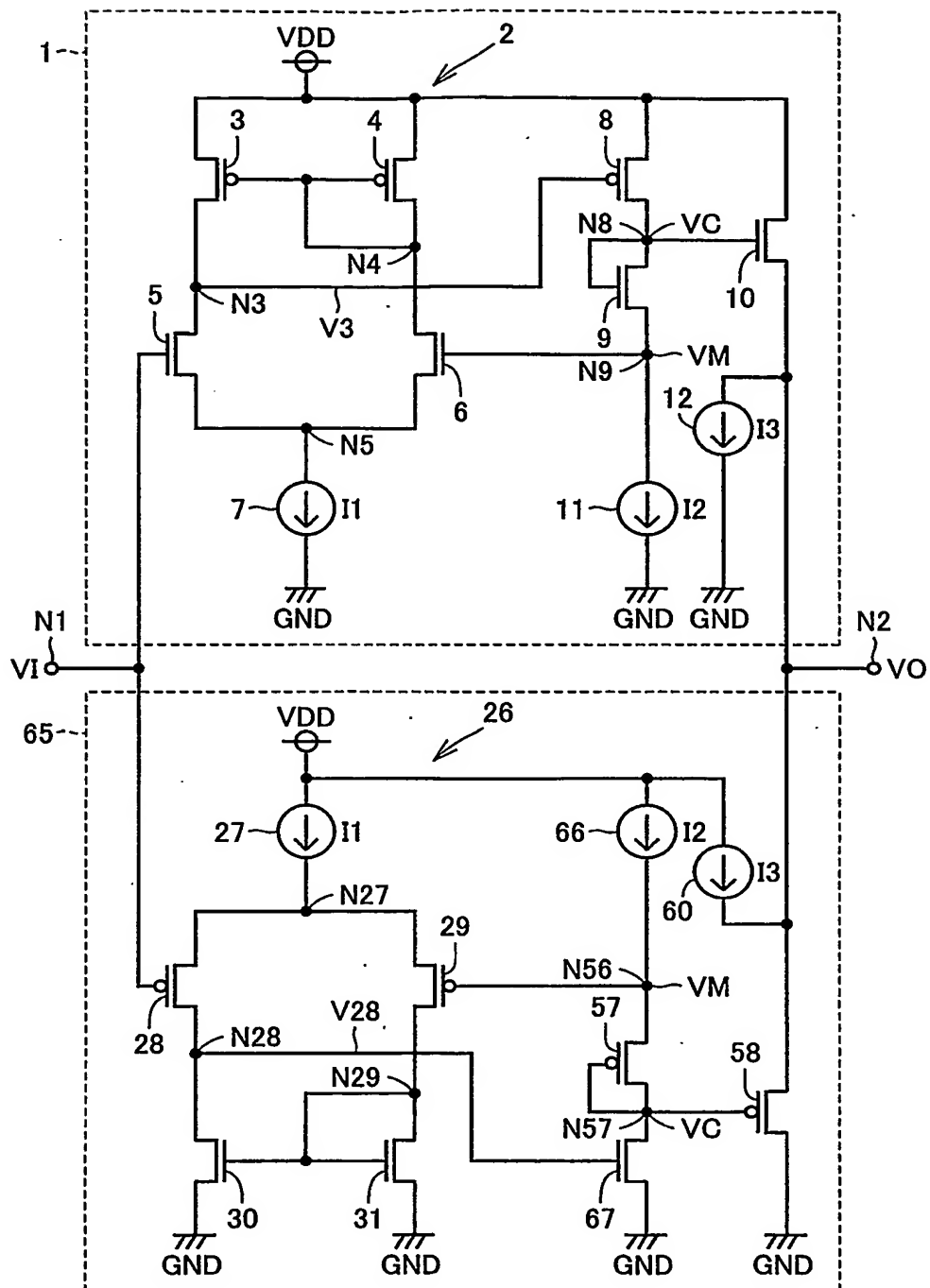
85

FIG.16

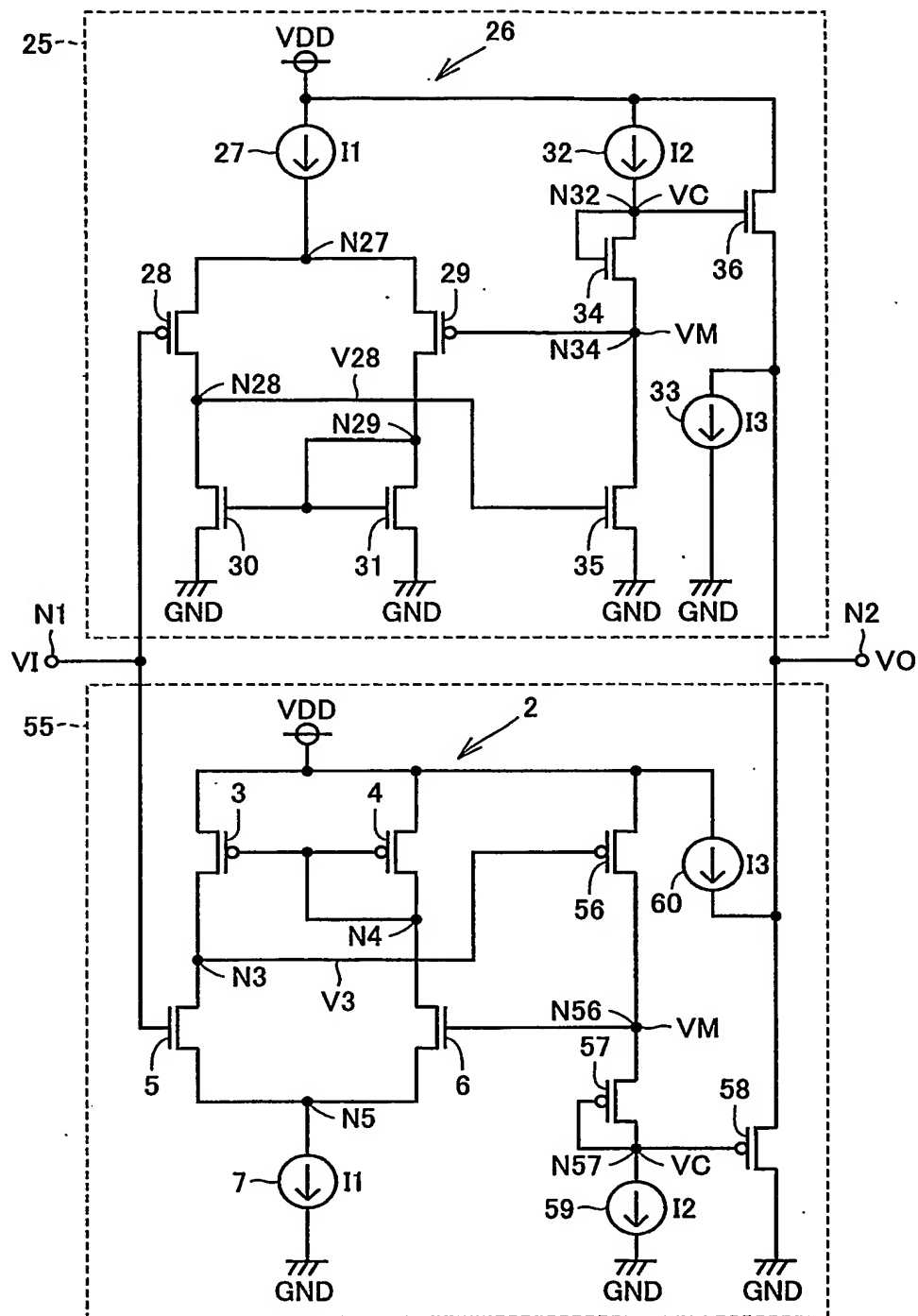
90

FIG.19

100

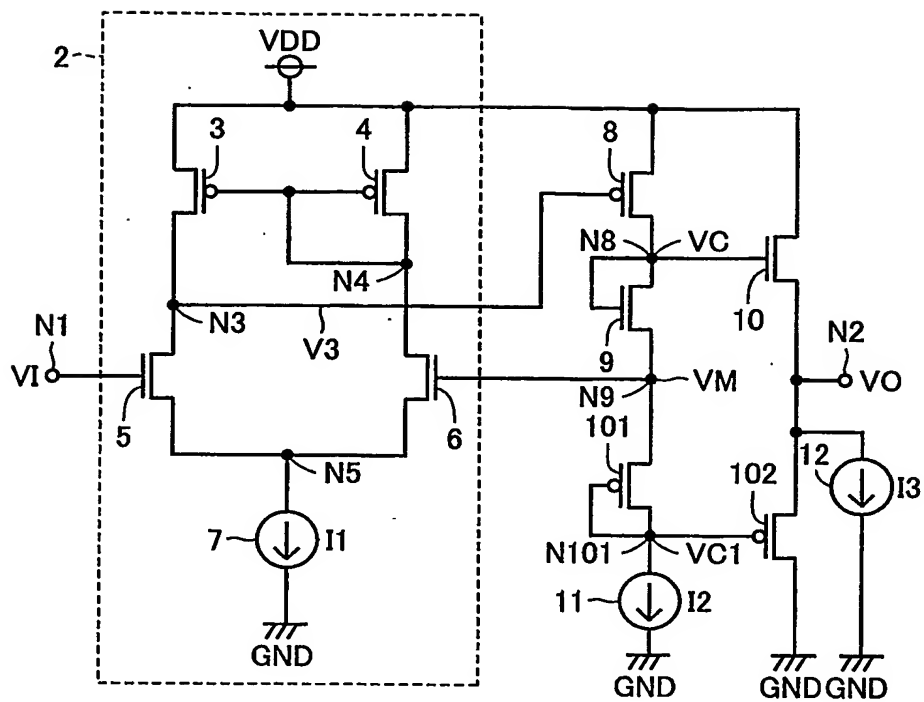


FIG.20

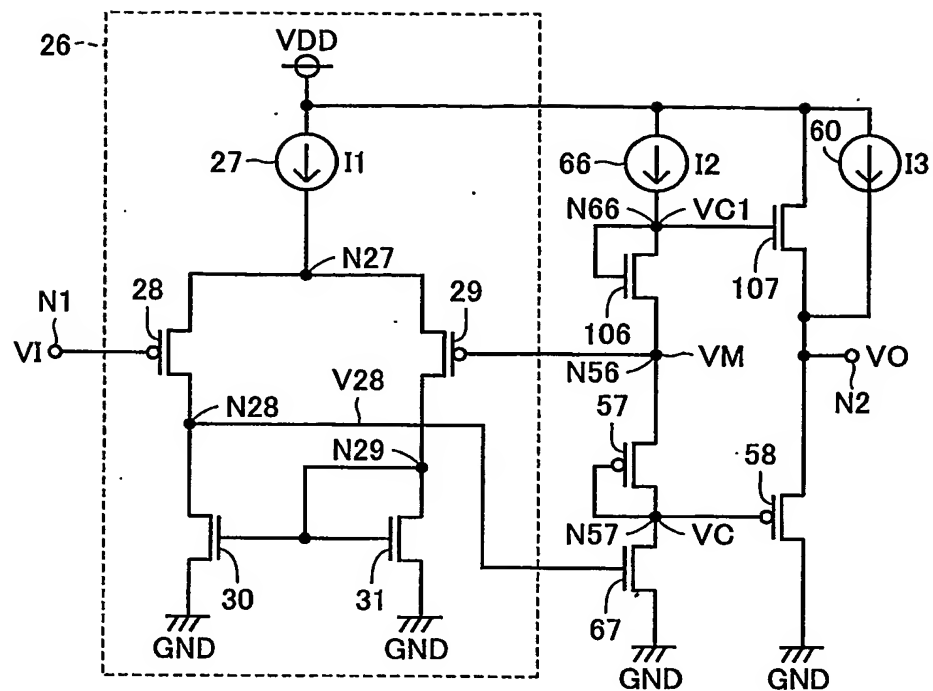
105

FIG.21

110

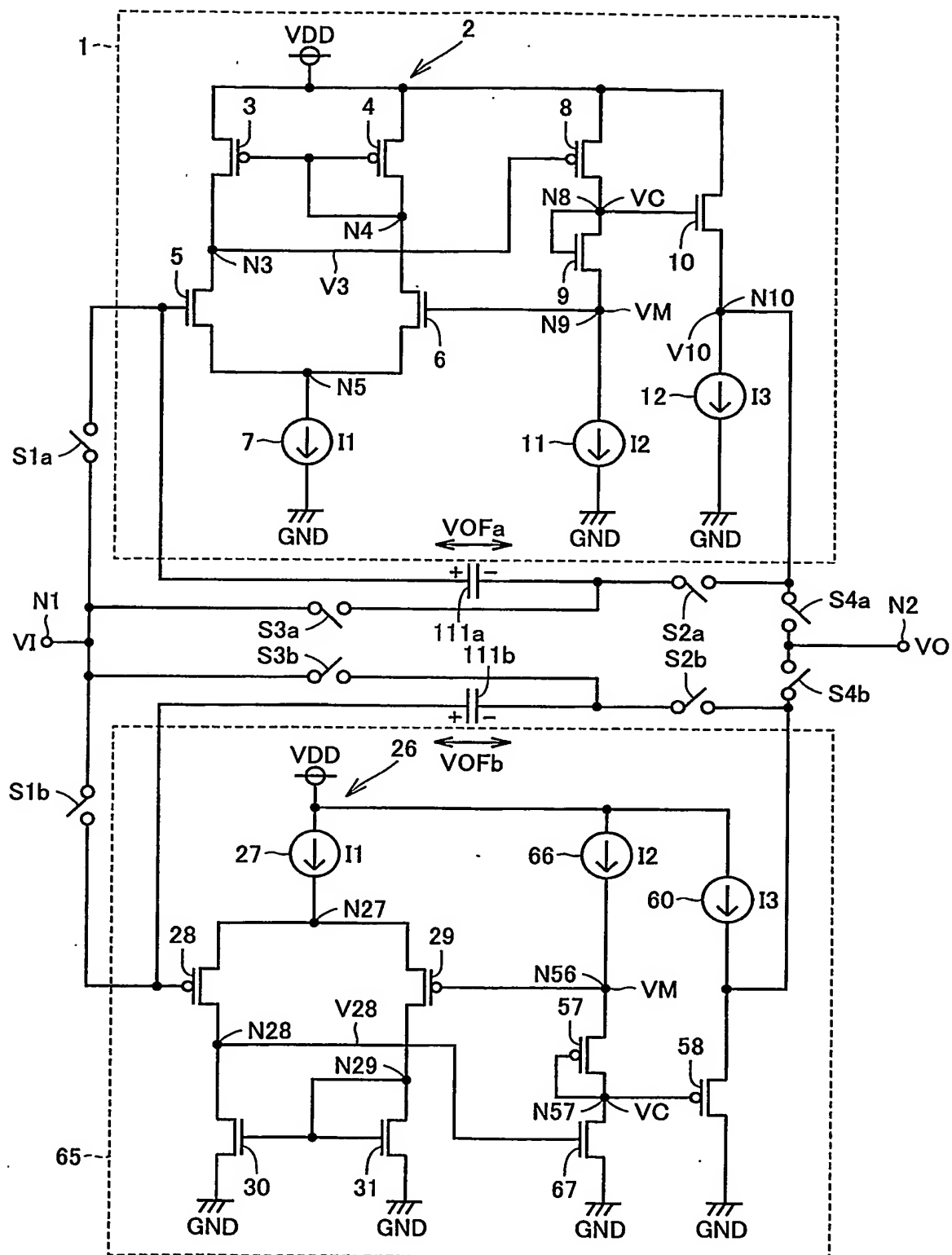
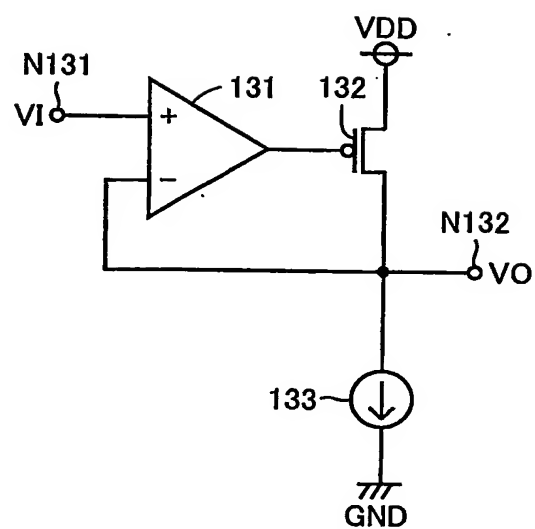


FIG.22

130

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12342

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03F3/45, H03F3/30, H03F3/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03F3/45, H03F3/30, H03F3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-215315 A (NEC Corp.), 06 August, 1992 (06.08.92), Page 3, upper left column to lower left column; Fig. 1 (Family: none)	1-20
Y	JP 5-29840 A (Hitachi, Ltd.), 05 February, 1993 (05.02.93), Full text; Figs. 1 to 4 (Family: none)	3, 5
Y	JP 7-142940 A (New Japan Radio Co., Ltd.), 02 June, 1995 (02.06.95), Par. Nos. [0015] to [0027]; Fig. 1 (Family: none)	1-6, 8-20

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
25 February, 2003 (25.02.03)Date of mailing of the international search report
11 March, 2003 (11.03.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12342

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-290172 A (Sharp Corp.), 04 October, 2002 (04.10.02), Par. Nos. [0065] to [0121]; Figs. 1, 3 (Family: none)	1-6, 8-20
Y	JP 9-260969 A (Toshiba A.V.E. Kabushiki Kaisha), 03 October, 1997 (03.10.97), Par. Nos. [0002] to [0011]; Fig. 4 (Family: none)	7
Y	JP 3-139908 A (Olympus Optical Co., Ltd.), 14 June, 1991 (14.06.91), Full text; all drawings (Family: none)	8, 9, 14, 15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03F3/45 H03F3/30 H03F3/34

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03F3/45 H03F3/30 H03F3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 4-215315 A (日本電気株式会社) 1992.08.06 公報第3頁左上欄~左下欄, 第1図 (ファミリーなし)	1-20
Y	J P 5-29840 A (株式会社日立製作所) 1993.02.05 全文, 図1~図4 (ファミリーなし)	3,5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

25.02.03

国際調査報告の発送日

11.03.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

畑中 博幸

5W

9180

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 7-142940 A (新日本無線株式会社) 1995.06.02 段落番号 [0015] ~ [0027], 図1 (ファミリーなし)	1-6, 8-20
Y	JP 2002-290172 A (シャープ株式会社) 2002.10.04 段落番号 [0065] ~ [0121], 図1, 図3 (ファミリーなし)	1-6, 8-20
Y	JP 9-260969 A (東芝エー・ブイ・イー株式会社) 1997.10.03 段落番号 [0002] ~ [0011], 図4 (ファミリーなし)	7
Y	JP 3-139908 A (オリンパス光学工業株式会社) 1991.06.14 全文, 全図 (ファミリーなし)	8, 9, 14, 15